

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345770

(43)Date of publication of application : 14.12.2001

(51)Int.Cl. H04J 3/00
H04L 12/56
H04N 7/08
H04N 7/081
H04N 7/24

(21)Application number : 2000-166056 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.06.2000 (72)Inventor : TAKESUTE TOSHIHIKO

(54) MULTIPLEX PACKET GENERATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate waiting time of CPU for termination of output processing from memory to effectively maximize CPU throughput.

SOLUTION: The CPU 13 brings in and analyze ES from a storage section 12 to generate each data of PES headerTS headerand adaptation fieldand specifies read start address and the number of read bytes stored in corresponding ES of the storage section 12 in a read control section 14. Each data of these PES headerTS headerand adaptation field and specification information sent to the read control section 14 are stored in a FIFO memory 16the read control section 14 transfers each data of PES headerTS headerand adaptation field stored in the FIFO memory 16 to a switching section 15 and reads the ES in the specified address from the storage section 12 based on the specification information stored in the FIFO memory 16 and transfers it to the switching section 15.

CLAIMS

[Claim(s)]

[Claim 1]A multiplex packet generating device which generates a standardized multiplexing stream packet which is provided with a header area and an information area at least from a basic stream packet by coding data comprising:
A storage parts store which stores said basic stream packet.

An arithmetic processing section which specifies a field where incorporate and analyze a basic stream packet from this storage parts store and data to said header area is generated and a basic stream packet put into said information area in said storage parts store is written in.

An output attaching part which carries out output maintenance of data and specification information on a header area which were generated by this arithmetic processing section.

A switching part which carries out change derivation of the basic stream packet memorized by data and said storage parts store of a header area held by this output attaching part selectively and generates a multiplexing stream packet. A reading control part which transmits a basic stream packet of a field which data of a header area held at said output attaching part is transmitted to said switching part and is specified by said arithmetic processing section from said storage parts store based on specification information held at said output attaching part to said switching part.

[Claim 2] Based on regulation of MPEG 2 (Moving Picture Experts Group 2) characterized by comprising the following: A multiplex packet generating device which generates ES (Elementary Stream) to PES (Packetized Elementary Stream).

A storage parts store which stores said ES.

An arithmetic processing section which specifies a field where incorporate and analyze ES from this storage parts store and data of a PES header unit is generated and ES put into a PES-packet-data part in a storage parts store is written in.

An output attaching part which carries out output maintenance of data and specification information on a PES header unit which were generated by this arithmetic processing section.

A switching part which carries out change derivation of the ES memorized by data and said storage parts store of a PES header unit held at this output attaching part selectively and generates PES. A reading control part which transmits ES of a field which data of a PES header unit held at said output attaching part is transmitted to said switching part and is specified by said arithmetic processing section from said storage parts store based on specification information held at said output attaching part to said switching part.

[Claim 3] A multiplex packet generating device which generates TS (Transport Stream) from two or more ES(s) based on regulation of MPEG 2 comprising:

A storage parts store which stores said ES.

An arithmetic processing section which specifies a field where incorporate and analyze ES from this storage parts store and each data of a PES header unit TS header unit and an adaptation field part is generated and ES put into a payload part in a storage parts store is written in.

An output attaching part which carries out output maintenance of each data and specification information on a PES header unitTS header unitand an adaptation field part which were generated by this arithmetic processing section.

A switching part which carries out change derivation of the ES memorized by each data and said storage parts store of a PES header unit held at this output attaching partTS header unitand an adaptation field part selectivelyand generates TSTransmit each data of a PES header unitTS header unitand an adaptation field part held at said output attaching part to said switching partand. A reading control part which transmits ES of a field specified by said arithmetic processing section from said storage parts store based on specification information memorized by said output attaching part to said switching part.

[Claim 4]A multiplex packet generating device which generates TS from two or more PES(s) based on regulation of MPEG 2comprising:

A storage parts store which stores said PES.

An arithmetic processing section which specifies a field where incorporate and analyze PES from this storage parts storeand each data of TS header unit and an adaptation field part is generatedand PES put into a payload part in a storage parts store is written in.

An output attaching part which carries out output maintenance of each data and specification information on TS header unit and an adaptation field part which were generated by this arithmetic processing section.

A switching part which carries out change derivation of the PES memorized by each data and said storage parts store of TS header unit held at this output attaching partand an adaptation field part selectivelyand generates TSA reading control part which transmits PES of a field which each data of TS header unit and an adaptation field part held at said output attaching part is transmitted to said switching partand is specified by said arithmetic processing section from said storage parts store based on specification information held at said output attaching part to said switching part.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the multiplex packet generating device appliedfor example to the multiplexing device of a terrestrial wave and a satellite-CATV.

[0002]

[Description of the Prior Art]As everyone knows in the multiplexing device of MPEG 2

(Moving Picture Experts Group 2) of terrestrial broadcasting satellite broadcasting and cable television broadcasting. When generating a packet ES (Elementary Stream) which is a coding equipment output of an image or a sound and the other information by mixing PES (Packetized Elementary Stream) or TS (Transport Stream). He is trying to generate.

[0003] By the way if it is in the multiplexing device which generates ES to PES or TSCPU by storing ES in a memory analyzing the contents of ES generating and sending out a PES header unit or TS header unit and giving read instruction to a reading control device after that. The technique of sending out ES from a memory with a reading control device and generating PES or TS is used.

[0004] However in the above-mentioned technique after pointing to CPU to a reading control device it needed to wait to finish outputting ES memorized by the memory and needed to output following information thru/or directions information.

[0005]

[Problem(s) to be Solved by the Invention] As stated above in the multiplex packet generating device which generates conventional PES or TS. Since it waits to finish outputting ES memorized by the memory and following information thru/or directions information is outputted after CPU points to a reading control device useless time increases and since there is much processing by CPU the high performance is demanded of CPU.

[0006] The purpose of this invention loses time to wait for the end of the output process from a memory to CPU and there is in providing the multiplex packet generating device which can aim at effective use of the throughput of that part CPU.

[0007]

[Means for Solving the Problem] In a multiplex packet generating device which generates a standardized multiplexing stream packet which is provided with a header area and an information area at least from a basic stream packet according [a multiplex packet generating device concerning this invention] to coding data incorporate and analyze a basic stream packet from a storage parts store which stores a basic stream packet and this storage parts store and generate data to a header area and. An arithmetic processing section which specifies a field where a basic stream packet put into an information area in a storage parts store is written in. An output attaching part which carries out output maintenance of data and specification information on a header area which were generated by this arithmetic processing section. A switching part which carries out change derivation of the basic stream packet memorized by data and a storage parts store of a header area which were held at this output attaching part selectively and generates a multiplexing stream packet. Data of a header area held at an output attaching part is transmitted to a switching part and it has a reading control part which transmits a basic stream packet of a field specified by an arithmetic processing section from a storage parts store based on specification information held at an output attaching part to said switching

part.

[0008]A multiplex packet generating device concerning this inventionBased on regulation of MPEG 2 (Moving Picture Experts Group 2)In a multiplex packet generating device which generates ES (Elementary Stream) to PES (Packetized Elementary Stream)Incorporate and analyze ES from a storage parts store which stores ES and this storage parts store and generate data of a PES header unit and An arithmetic processing section which specifies a field where ES put into a PES-packet-data part in a storage parts store is written inAn output attaching part which carries out output maintenance of data and specification information on a PES header unit which were generated by this arithmetic processing sectionTransmit data of a switching part which carries out change derivation of the ES memorized by data and a storage parts store of a PES header unit which were held at this output attaching part selectively and generates PES and a PES header unit held at a ***** part to a switching part and. It has a reading control part which transmits ES of a field specified by an arithmetic processing section from a storage parts store based on specification information held at an output attaching part to said switching part.

[0009]A multiplex packet generating device concerning this inventionIn a multiplex packet generating device which generates TS (Transport Stream) from two or more ES(s) based on regulation of MPEG 2Incorporate and analyze ES from a storage parts store which stores ES and this storage parts store and generate each data of a PES header unit TS header unit and an adaptation field part and. An arithmetic processing section which specifies a field where ES put into a payload part in a storage parts store is written inAn output attaching part which carries out output maintenance of each data and specification information on a PES header unit TS header unit and an adaptation field part which were generated by this arithmetic processing sectionA switching part which carries out change derivation of the ES memorized by each data and a storage parts store of a PES header unit TS header unit and an adaptation field part which were held at this output attaching part selectively and generates TSTransmit each data of a PES header unit TS header unit and an adaptation field part held at an output attaching part to a switching part and. It has a reading control part which transmits ES of a field specified by an arithmetic processing section from a storage parts store based on specification information held at an output attaching part to a switching part.

[0010]A multiplex packet generating device concerning this inventionIn a multiplex packet generating device which generates TS from two or more PES(s) based on regulation of MPEG 2Incorporate and analyze PES from a storage parts store which stores PES and this storage parts store and generate each data of TS header unit and an adaptation field part and. An arithmetic processing section which specifies a field where PES put into a payload part in a storage parts store is written inAn output attaching part which carries out output maintenance of each data and specification information on TS header unit and an adaptation field part which were generated by

this arithmetic processing sectionA switching part which carries out change derivation of the PES memorized by each data and a storage parts store of TS header unit and an adaptation field part which were held at this output attaching part selectivelyand generates TSEach data of TS header unit and an adaptation field part held at an output attaching part is transmitted to a switching partand it has a reading control part which transmits PES of a field specified by an arithmetic processing section from a storage parts store based on specification information held at an output attaching part to a switching part.

[0011]According to each above-mentioned compositionspecification information sent out to each data and a reading control part of a PES header unitTS header unitand an adaptation field part which were generated by arithmetic processing sectionA FIFO memory used as an output attaching part memorizesand a reading control part transmits each data of a PES header unitTS header unitand an adaptation field part memorized by FIFO memory to a switching partand. He reads ES or PES of a field specified from a storage parts store based on specification information memorized by FIFO memoryand is trying to transmit to a switching part. Namelyan arithmetic processing section analyzes ES memorized by storage parts storegenerates each data of a PES header unitTS header unitand an adaptation field partand memorizes it to a FIFO memoryand should just also memorize specification information over a reading control part to a FIFO memory.

[0012]For this reasonwithout waiting for an end of an output process from a memoryCPU can apply the part for conventional waiting time to analysis processing of Egeneration processing of a PES headercommunications processing with an external deviceetc.andtherebycan generate a multiplexing stream packet efficiently by cheap CPU.

[0013]

[Embodiment of the Invention]Hereafterthe embodiment of this invention is described in detail with reference to drawings.

[0014]Drawing 1 shows the PES structure of MPEG 2. It begins from the start code of the fixed pattern which a PES header is variable length and is called the packet start code prefix (Packet Start Code Prefix)The time-of-day-control information on PTS (Presentation Time Stamp) or DTS (Decoding Time Stamp)etc. are added if needed. Also in a PES-packet-data partthe ES itself exists also here by variable length.

[0015]Drawing 2 shows the structure of TS of MPEG 2. It begins from the start code of the fixed pattern which TS header is 4 bytes of fixed lengthand is called a synchronous byte (sync byte)The adaptation field control information (Adaptation Field Control) etc. which show the existence of adaptation field (Adaptation Field) exist. PCR (Program Clock Reference) etc. which show the hour entry of a system exist in the variable-length field where the adaptation field exists only when the adaptation field control value of TS header is 2 or 3. Since the number of bytes of TS

is 188 bytes of fixed length the value which subtracted the header length (4 bytes) of TS and the number of bytes of the adaptation field serves as a number of bytes of a pay load from 188. Although the PES packet itself exists in a pay load when all PES(s) cannot be transmitted with the pay load of one TS the remaining PES is put and transmitted to the pay load of the TS packet following it.

[0016] Drawing 3 shows the relation between ES and PES and TS. The ES itself exists in PES packet data and PES divided into the required number of bytes exists in the pay load of TS. AF in a figure is the abbreviation for the adaptation field.

[0017] Drawing 4 is a block diagram showing the composition of a multiplex packet generating device made into a 1st embodiment of this invention.

[0018] In drawing 4 storage parts store 12 and CPU13 is connected on the data bus 11. The reading control part 14 and the switching part 15 are connected to the storage parts store 12. The switching part 15 will be connected to the output side of the reading control part 14 and the FIFO (First In First Out) memory 16 will intervene between CPU13 and the reading control part 14.

[0019] The storage parts store 12 memorizes ES generated with the image coding equipment 2 the voice to digital converter 3 and the data coding equipment 4 as shown in drawing 5 (a).

[0020] CPU13 incorporates ES from the storage parts store 12 via the data bus 11 performs analysis processing of the ES generation of a PES header as shown in drawing 5 (b) and contents calculation of TS header or the adaptation field and writes the contents in FIFO memory 16. CPU13 writes the specification information for specifying the read start address and read-out number of bytes in which ES to which the storage parts store 12 corresponds to the reading control part 14 is stored in FIFO memory 16.

[0021] As the reading control part 14 is shown in drawing 5 (c) while transmitting each data of a PES header TS header and the adaptation field written in FIFO memory 16 to the switching part 15. Based on the specification information written in FIFO memory 16 only the number of bytes specified from the specified address transmits the data of the storage parts store 12 to the switching part 15.

[0022] The switching part 15 generates a TS packet as shown in drawing 5 (d) by drawing each data of a PES header TS header and the adaptation field transmitted from the reading control part 14 and changing and deriving the data of the payload part transmitted from the storage parts store 12.

[0023] The PES header which was generated by CPU13 as mentioned above according to the above-mentioned embodiment. The specification information sent out to each data and the reading control part 14 of TS header and the adaptation field FIFO memory 16 memorizes and the reading control part 14 transmits each data of a PES header TS header and the adaptation field memorized by FIFO memory 16 to the switching part 15 and. He reads ES of the address specified from the storage parts store 12 based on the specification information memorized by FIFO memory 16 and is

trying to transmit to the switching part 15. CPU13 incorporates and analyzes ES memorized by the storage parts store 12 in the above-mentioned operation and Namely a PES header. What is necessary is just to generate each data of TS header and the adaptation field and to memorize to FIFO memory 16 and to also memorize the specification information over the reading control part 14 to FIFO memory 16.

[0024] For this reason CPU13 without waiting for the end of the output process from the storage parts store 12, the part for conventional waiting time can be applied to the analysis processing of ES, the generation processing of a PES header, communications processing with an external device etc. and thereby a multiplexing stream packet, i.e. TS can be efficiently generated by cheap CPU.

[0025] Although the above-mentioned embodiment explained the example which generates ES to TSES to PES can also be generated and TS can also be generated from two or more PES(s). In this case the former should generate only a PES header by CPU and the latter should just generate TS header and the adaptation field by CPU. The standardized multiplexing stream packet which is provided with a header area and an information area at least from the basic stream packet by coding data other than MPEG 2 is also generable. In addition also with the composition of a multiplex packet generating device in the range which does not deviate from the gist of this invention it changes variously and can carry out.

[0026]

[Effect of the Invention] As explained in full detail above according to this invention time to wait for the end of the output process from a memory to CPU can be eliminated and the multiplex packet generating device which can aim at effective use of the throughput of that part CPU can be provided.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The figure showing the PES structure of MPEG 2.

[Drawing 2] The figure showing TS structure of MPEG 2.

[Drawing 3] The figure showing ES of MPEG 2 and the relation between PES and TS.

[Drawing 4] The block diagram showing the composition of a multiplex packet generating device made into one embodiment of this invention.

[Drawing 5] The figure showing the contents of an output of each part of the above-mentioned embodiment.

[Description of Notations]

2 -- Image coding equipment

3 -- Voice to digital converter

4 -- Data coding equipment

11 -- Data bus

12 -- Storage parts store

13 -- CPU

14 -- Reading control part

15 -- Switching part

16 -- FIFO memory.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-345770
(P2001-345770A)

(43)公開日 平成13年12月14日(2001.12.14)

(51) Int Cl. 7
H 0 4 J 3/00
H 0 4 L 12/56
H 0 4 N 7/08
7/081
7/24

識別記号

F I	
H 0 4 J	3/00
H 0 4 L	11/20
H 0 4 N	7/08
	7/13

テ-マコ-ト^{*}(参考)
I 5C059
A 5C063
C 5K028
C 5K030

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出席番号

特庸2000-166056(P2000-166056)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成12年6月2日(2000.6.2)

(72) 究明者 武捨 敏彦

神奈川県川崎市幸区小
式会社東芝小向工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

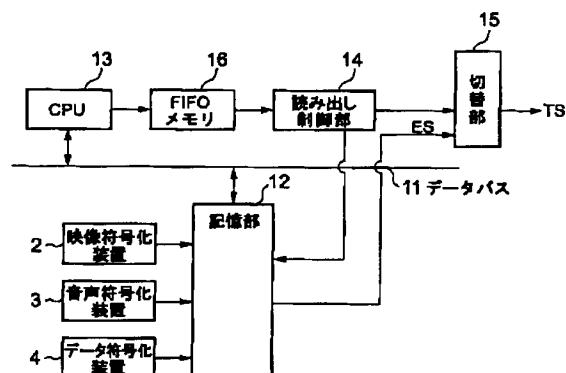
最終頁に統ぐ

(54) 【発明の名稱】 多重化パケット生成装置

(57) [要約]

【課題】 C P U に対しメモリからの出力処理の終了を待つ時間を無くし、その分 C P U の処理能力を有効に活用できるようとする。

【解決手段】CPU13は記憶部12からESを取り込み解析し、PESヘッダ、TSヘッダ、アダプテーションフィールドの各データを生成し、読み出し制御部14に対して記憶部12の該当するESが格納されている読出開始アドレス及び読出バイト数を指定する。これらPESヘッダ、TSヘッダ、アダプテーションフィールドの各データ及び読み出し制御部14に送出する指定情報は、FIFOメモリ16に記憶され、読み出し制御部14はFIFOメモリ16に記憶されたPESヘッダ、TSヘッダ、アダプテーションフィールドの各データを切替部15に転送すると共に、FIFOメモリ16に記憶された指定情報に基づいて記憶部12から指定されたアドレスのESを読み出して切替部15に転送する。



【特許請求の範囲】

【請求項1】 符号化データによる基本ストリームパケットから少なくともヘッダ領域及び情報領域を備える規格化された多重化ストリームパケットを生成する多重化パケット生成装置において、
前記基本ストリームパケットを格納する記憶部と、
この記憶部から基本ストリームパケットを取り込み解析し、前記ヘッダ領域へのデータを生成すると共に、前記記憶部内の前記情報領域に入れる基本ストリームパケットが書込まれている領域を指定する演算処理部と、
この演算処理部で生成されたヘッダ領域のデータ及び指定情報を出力保持する出力保持部と、
この出力保持部で保持されたヘッダ領域のデータ及び前記記憶部に記憶された基本ストリームパケットを選択的に切替導出して多重化ストリームパケットを生成する切替部と、
前記出力保持部に保持されたヘッダ領域のデータを前記切替部に転送すると共に、前記出力保持部に保持された指定情報に基づいて前記記憶部から前記演算処理部で指定される領域の基本ストリームパケットを前記切替部に転送する読み出し制御部とを具備してなることを特徴とする多重化パケット生成装置。

【請求項2】 M P E G 2 (Moving Picture Experts Group 2) の規定に基づいて、E S (Elementary Stream) から P E S (Packetized Elementary Stream) を生成する多重化パケット生成装置において、
前記 E S を格納する記憶部と、
この記憶部から E S を取り込み解析し、P E S ヘッダ部のデータを生成すると共に、記憶部内の P E S パケットデータ部に入れる E S が書込まれている領域を指定する演算処理部と、
この演算処理部で生成された P E S ヘッダ部のデータ及び指定情報を出力保持する出力保持部と、
この出力保持部に保持された P E S ヘッダ部のデータ及び前記記憶部に記憶された E S を選択的に切替導出して P E S を生成する切替部と、
前記出力保持部に保持された P E S ヘッダ部のデータを前記切替部に転送すると共に、前記出力保持部に保持された指定情報に基づいて前記記憶部から前記演算処理部で指定される領域の E S を前記切替部に転送する読み出し制御部とを具備してなることを特徴とする多重化パケット生成装置。

【請求項3】 M P E G 2 の規定に基づいて、複数の E S から T S (Transport Stream) を生成する多重化パケット生成装置において、
前記 E S を格納する記憶部と、
この記憶部から E S を取り込み解析し、P E S ヘッダ部、T S ヘッダ部、アダプテーションフィールド部の各データを生成すると共に、記憶部内のペイロード部に入れる E S が書込まれている領域を指定する演算処理部

と、

この演算処理部で生成された P E S ヘッダ部、T S ヘッダ部、アダプテーションフィールド部の各データ及び指定情報を出力保持する出力保持部と、
この出力保持部に保持された P E S ヘッダ部、T S ヘッダ部、アダプテーションフィールド部の各データ及び前記記憶部に記憶された E S を選択的に切替導出して T S を生成する切替部と、
前記出力保持部に保持された P E S ヘッダ部、T S ヘッダ部、アダプテーションフィールド部の各データを前記切替部に転送すると共に、前記出力保持部に記憶された指定情報に基づいて前記記憶部から前記演算処理部で指定される領域の E S を前記切替部に転送する読み出し制御部とを具備してなることを特徴とする多重化パケット生成装置。

【請求項4】 M P E G 2 の規定に基づいて、複数の P E S から T S を生成する多重化パケット生成装置において、

前記 P E S を格納する記憶部と、
この記憶部から P E S を取り込み解析し、T S ヘッダ部、アダプテーションフィールド部の各データを生成すると共に、記憶部内のペイロード部に入れる P E S が書込まれている領域を指定する演算処理部と、
この演算処理部で生成された T S ヘッダ部、アダプテーションフィールド部の各データ及び指定情報を出力保持する出力保持部と、
この出力保持部に保持された T S ヘッダ部、アダプテーションフィールド部の各データ及び前記記憶部に記憶された P E S を選択的に切替導出して T S を生成する切替部と、
前記出力保持部に保持された T S ヘッダ部、アダプテーションフィールド部の各データを前記切替部に転送すると共に、前記出力保持部に保持された指定情報に基づいて前記記憶部から前記演算処理部で指定される領域の P E S を前記切替部に転送する読み出し制御部とを具備してなることを特徴とする多重化パケット生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば地上波・衛星・ケーブルテレビの多重化装置に適用される多重化パケット生成装置に関する。

【0002】

【従来の技術】 周知のように、例えば地上波放送、衛星放送、ケーブルテレビ放送の M P E G 2 (Moving Picture Experts Group 2) の多重化装置では、パケットを生成する場合に、映像または音声の符号化装置出力である E S (Elementary Stream) とそれ以外の情報を混合することで P E S (Packetized Elementary Stream) または T S (Transport Stream) を生成するようにしている。

【0003】ところで、ESからPESまたはTSを生成する多重化装置にあっては、CPUがESをメモリに格納し、ESの内容を解析し、PESヘッダ部もしくはTSヘッダ部を生成して送出し、その後読み出し制御装置に対して読み出し指示を与えることで、読み出し制御装置によりメモリからESを送出してPESまたはTSを生成する手法が用いられる。

【0004】しかしながら、上記の手法では、CPUは読み出し制御装置に対して指示した後、メモリに記憶されたESを出力し終わるのを待って、次の情報乃至指示情報を出力する必要があった。

【0005】

【発明が解決しようとする課題】以上述べたように、従来のPESまたはTSを生成する多重化パケット生成装置では、CPUが読み出し制御装置に対して指示した後、メモリに記憶されたESを出力し終わるのを待つて、次の情報乃至指示情報を出力するため、無駄な時間が多くなり、また、CPUによる処理が多いので、CPUには高い性能が要求されている。

【0006】この発明の目的は、CPUに対しメモリからの出力処理の終了を待つ時間を無くし、その分CPUの処理能力の有効活用を図り得る多重化パケット生成装置を提供することにある。

【0007】

【課題を解決するための手段】この発明に係る多重化パケット生成装置は、符号化データによる基本ストリームパケットから少なくともヘッダ領域及び情報領域を備える規格化された多重化ストリームパケットを生成する多重化パケット生成装置において、基本ストリームパケットを格納する記憶部と、この記憶部から基本ストリームパケットを取り込み解析し、ヘッダ領域へのデータを生成すると共に、記憶部内の情報領域に入れる基本ストリームパケットが書込まれている領域を指定する演算処理部と、この演算処理部で生成されたヘッダ領域のデータ及び指定情報を出力保持する出力保持部と、この出力保持部に保持されたヘッダ領域のデータ及び記憶部に記憶された基本ストリームパケットを選択的に切替導出して多重化ストリームパケットを生成する切替部と、出力保持部に保持されたヘッダ領域のデータを切替部に転送すると共に、出力保持部に保持された指定情報に基づいて記憶部から演算処理部で指定される領域の基本ストリームパケットを前記切替部に転送する読み出し制御部とを備えるようにしたものである。

【0008】また、この発明に係る多重化パケット生成装置は、MPEG2 (Moving Picture Experts Group 2) の規定に基づいて、ES (Elementary Stream) からPES (Packetized Elementary Stream) を生成する多重化パケット生成装置において、ESを格納する記憶部と、この記憶部からESを取り込み解析し、PESヘッダ部のデータを生成すると共に、記憶部内のPESパケ

ットデータ部に入れるESが書込まれている領域を指定する演算処理部と、この演算処理部で生成されたPESヘッダ部のデータ及び指定情報を出力保持する出力保持部と、この出力保持部に保持されたPESヘッダ部のデータ及び記憶部に記憶されたESを選択的に切替導出してPESを生成する切替部と、出力保持部に保持されたPESヘッダ部のデータを切替部に転送すると共に、出力保持部に保持された指定情報に基づいて記憶部から演算処理部で指定される領域のESを前記切替部に転送する読み出し制御部とを備えるようにしたものである。

【0009】さらに、この発明に係る多重化パケット生成装置は、MPEG2の規定に基づいて、複数のESからTS (Transport Stream) を生成する多重化パケット生成装置において、ESを格納する記憶部と、この記憶部からESを取り込み解析し、PESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データを生成すると共に、記憶部内のペイロード部に入れるESが書込まれている領域を指定する演算処理部と、この演算処理部で生成されたPESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データ及び指定情報を出力保持する出力保持部と、この出力保持部に保持されたPESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データ及び記憶部に記憶されたESを選択的に切替導出してTSを生成する切替部と、出力保持部に保持されたPESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データを切替部に転送すると共に、出力保持部に保持された指定情報に基づいて記憶部から演算処理部で指定される領域のESを切替部に転送する読み出し制御部とを備えるようにしたものである。

【0010】さらに、この発明に係る多重化パケット生成装置は、MPEG2の規定に基づいて、複数のPESからTSを生成する多重化パケット生成装置において、PESを格納する記憶部と、この記憶部からPESを取り込み解析し、TSヘッダ部、アダプテーションフィールド部の各データを生成すると共に、記憶部内のペイロード部に入れるPESが書込まれている領域を指定する演算処理部と、この演算処理部で生成されたTSヘッダ部、アダプテーションフィールド部の各データ及び指定情報を出力保持する出力保持部と、この出力保持部に保持されたTSヘッダ部、アダプテーションフィールド部の各データ及び記憶部に記憶されたPESを選択的に切替導出してTSを生成する切替部と、出力保持部に保持されたTSヘッダ部、アダプテーションフィールド部の各データを切替部に転送すると共に、出力保持部に保持された指定情報に基づいて記憶部から演算処理部で指定される領域のPESを切替部に転送する読み出し制御部とを備えるようにしたものである。

【0011】上記各構成によれば、演算処理部により生成されたPESヘッダ部、TSヘッダ部、アダプテー

ョンフィールド部の各データ及び読み出し制御部に送出する指定情報は、出力保持部として用いられるFIFOメモリに記憶され、読み出し制御部はFIFOメモリに記憶されたPESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データを切替部に転送すると共に、FIFOメモリに記憶された指定情報に基づいて記憶部から指定された領域のESもしくはPESを読み出して切替部に転送するようにしている。すなわち、演算処理部は、記憶部に記憶されたESを解析してPESヘッダ部、TSヘッダ部、アダプテーションフィールド部の各データを生成してFIFOメモリに記憶し、また読み出し制御部に対する指定情報もFIFOメモリに記憶するだけでよい。

【0012】このため、CPUは、メモリからの出力処理の終了を待つことなく、従来の待ち時間分をESの解析処理やPESヘッダの生成処理、外部装置との通信処理などに当てることができ、これにより安価なCPUで効率良く多重化ストリームパケットを生成できる。

【0013】

【発明の実施の形態】以下、この発明の実施形態について図面を参照して詳細に説明する。

【0014】図1はMPEG2のPES構造を示すものである。PESヘッダは可変長で、パケット・スタート・コード・プリフィックス(Packet Start Code Prefix)と呼ばれる固定パターンの開始コードから始まり、必要に応じてPTS(Presentation Time Stamp)やDTS(Decoding Time Stamp)の時刻管理情報などが付加される。PESパケットデータ部も可変長で、ここにもESそのものが存在する。

【0015】図2はMPEG2のTSの構造を示すものである。TSヘッダは4バイトの固定長で、同期バイト(sync byte)と呼ばれる固定パターンの開始コードから始まり、アダプテーションフィールド(Adaptation Field)の有無を示すアダプテーションフィールド制御情報(Adaptation Field Control)などが存在する。アダプテーションフィールドはTSヘッダのアダプテーションフィールド制御値が2または3のときだけ存在する可変長のフィールドで、システムの時間情報を示すPCR(Program Clock Reference)などが存在する。TSのバイト数は188バイトの固定長なので、188からTSのヘッダ長(4バイト)とアダプテーションフィールドのバイト数を引いた値がペイロードのバイト数となる。ペイロードにはPESパケットそのものが存在するが、1つのTSのペイロードで全てのPESが伝送できない場合には、それに続くTSパケットのペイロードに残りのPESを乗せて伝送する。

【0016】図3はESとPESとTSの関係を示すものである。PESパケットデータにはESそのものが存在し、TSのペイロードには必要なバイト数に分割されたPESが存在する。なお、図中AFはアダプテーション

フィールドの略である。

【0017】図4は、この発明の第1の実施形態とする多重化パケット生成装置の構成を示すブロック図である。

【0018】図4において、データバス11上には記憶部12及びCPU13が接続される。また、記憶部12には読み出し制御部14及び切替部15が接続される。さらに、読み出し制御部14の出力側には切替部15が接続され、CPU13と読み出し制御部14との間にFIFO(First In First Out)メモリ16が介在されることになる。

【0019】記憶部12は、図5(a)に示すように、映像符号化装置2、音声符号化装置3及びデータ符号化装置4で生成されたESを記憶する。

【0020】CPU13は、データバス11を介して記憶部12からESを取り込み、そのESの解析処理、図5(b)に示すようなPESヘッダの生成、TSヘッダやアダプテーションフィールドの内容算出を行なって、FIFOメモリ16にその内容を書き込む。また、CPU13は、読み出し制御部14に対して記憶部12の該当するESが格納されている読み出開始アドレス及び読み出バイト数を指定するための指定情報をFIFOメモリ16に書き込む。

【0021】読み出し制御部14は、図5(c)に示すように、FIFOメモリ16に書き込まれたPESヘッダ、TSヘッダ、アダプテーションフィールドの各データを切替部15に転送するとともに、FIFOメモリ16に書き込まれた指定情報に基づいて、指定されたアドレスから指定されたバイト数だけ、記憶部12のデータを切替部15に転送する。

【0022】切替部15は、読み出し制御部14から転送されたPESヘッダ、TSヘッダ、アダプテーションフィールドの各データを導出し、記憶部12から転送されたペイロード部のデータを切り替えて導出することにより図5(d)に示すようなTSパケットを生成する。

【0023】以上のように上記実施形態によれば、CPU13により生成されたPESヘッダ、TSヘッダ、アダプテーションフィールドの各データ及び読み出し制御部14に送出する指定情報は、FIFOメモリ16に記憶され、読み出し制御部14はFIFOメモリ16に記憶されたPESヘッダ、TSヘッダ、アダプテーションフィールドの各データを切替部15に転送すると共に、FIFOメモリ16に記憶された指定情報に基づいて記憶部12から指定されたアドレスのESを読み出して切替部15に転送するようにしている。すなわち、上記動作の中で、CPU13は、記憶部12に記憶されたESを取り込み解析してPESヘッダ、TSヘッダ、アダプテーションフィールドの各データを生成してFIFOメモリ16に記憶し、また読み出し制御部14に対する指定情報もFIFOメモリ16に記憶するだけでよい。

【0024】このため、CPU13は、記憶部12からの出力処理の終了を待つことなく、従来の待ち時間分をESの解析処理やPESヘッダの生成処理、外部装置との通信処理などに当てることができ、これにより安価なCPUで効率良く多重化ストリームパケット、つまりTSを生成できる。

【0025】なお、上記実施形態では、ESからTSを生成する例について説明したが、ESからPESを生成することもでき、また複数のPESからTSを生成することもできる。この場合、前者はCPUでPESヘッダのみを生成すればよく、後者はCPUでTSヘッダ、アダプテーションフィールドを生成すればよい。さらに、MPEG2以外の符号化データによる基本ストリームパケットから少なくともヘッダ領域及び情報領域を備える規格化された多重化ストリームパケットを生成することもできる。この他、多重化パケット生成装置の構成等についても、この発明の要旨を逸脱しない範囲で種々変形して実施できる。

【0026】

【発明の効果】以上詳述したようにこの発明によれば、CPUに対しメモリからの出力処理の終了を待つ時間を

無くし、その分CPUの処理能力の有効活用を図り得る多重化パケット生成装置を提供することができる。

【図面の簡単な説明】

【図1】MPEG2のPES構造を示す図。

【図2】MPEG2のTS構造を示す図。

【図3】MPEG2のESとPESとTSの関係を示す図。

【図4】この発明の一実施形態とする多重化パケット生成装置の構成を示すブロック図。

【図5】上記実施形態の各部の出力内容を示す図。

【符号の説明】

2…映像符号化装置、

3…音声符号化装置、

4…データ符号化装置、

11…データバス、

12…記憶部、

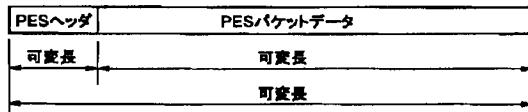
13…CPU、

14…読み出し制御部、

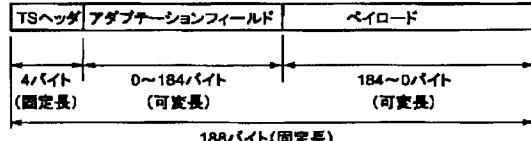
15…切替部、

16…FIFOメモリ。

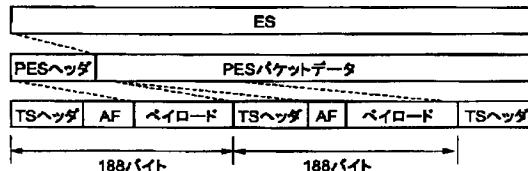
【図1】



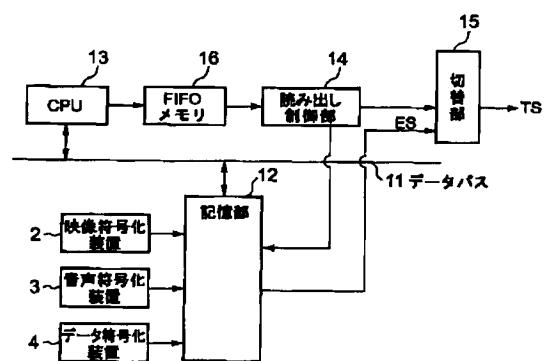
【図2】



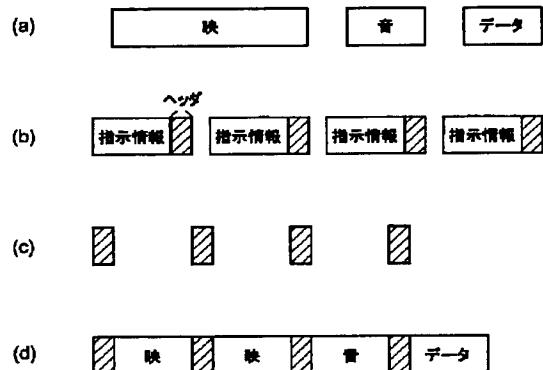
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5C059 KK11 MA00 RB02 RB09 RC02
 RC04 RE03 RE15 SS02 UA02
 UA36 UA38
 5C063 AB03 AC01 AC05 CA36 DA07
 DA13
 5K028 EE03 EE08 KK01 KK32 MM05
 SS24
 5K030 HA08 JA01 JA05 KA03